

Nicolas Derumigny

9, rue Joseph Leguay
92260 Fontenay-aux-Roses
France

📞 +33 (0)6 80 27 79 29
✉ nicolas.derumigny@inria.fr

Parcours scolaire

- 2019-2023 **Ph.D**, *Université Grenoble-Alpes, Colorado State University*, Computer science
Développement de modèles de performances de processeurs par micro-benchmarking automatique.
Développement de technique de partage de ressource automatisé sur FPGA.
- 2017-2018 **Master**, *Université de Versailles Saint-Quentin-en-Yvelines*, Calcul Haute Performance et Simulation, Mention très bien
Génie Logiciel pour Scientifiques, Programmation Avancée des Architectures Multicœurs, Évaluation de Performances de Systèmes, Minage de Données et Apprentissage, Optimisation de Code pour Systèmes Hautes Performances, Introduction aux Méthodes Numériques, Introduction à la Programmation d'Accélérateurs Matériels, Introductions à la Modélisation Biologique, Introduction aux Modèles de Mécanique des Milieux Continus, Introduction à la Simulation Moléculaire
- 2016-2017 **Master**, *ENS de Lyon*, Informatique Théorique
Algorithmique Parallèle et Programmation Distribuée, Théorie de l'Information, Compilation et Analyse de Programmes, Évaluation de Performances de Réseaux, Preuves et Programmes, Systèmes Distribués, Bases de Données, Apprentissage Automatisé
- 2015-2016 **Licence**, *ENS de Lyon*, Informatique Théorique
Théorie des Langages, Machines de Turing et Automates, Logique Mathématique, Probabilités, Architecture des Ordinateurs et Réseaux, Projets, Conception/Étude/Implémentation d'Algorithmes
- 2013-2015 **CPGE**, *Lycée Louis-le-Grand*, Mathématiques, Physique, Chimie
○ 146ème au concours d'entrée à l'ENS de Lyon
○ 26ème au concours d'entrée à l'École Centrale Paris
- 2013 **Baccalauréat S**, *Lycée Marie Curie (Sceaux)*, Mention très bien

Publications

- 2023 **Kernel Merging for Throughput-Oriented Accelerator Generation**, *Nicolas Derumigny, Louis-Noël Pouchet and Fabrice Rastello*, IMPACT'23
- 2022 **PALMED: Throughput Characterization for Superscalar Architectures**, *Nicolas Derumigny, Théophile Bastian, Fabian Gruber, Guillaume Iooss, Christophe Guillon, Louis-Noël Pouchet, Fabrice Rastello*, CGO'22
- 2020 **The gem5 Simulator: Version 20.0+**, *ArXiv*

Expérience

- Juin 2023 - Oct. 2023 **Stagiaire**, *AMD*, Développement de passes de compilation pour l'analyse de code HLS
- 2022 **Artifact Evaluator**, *ACM SIGPLAN 2022 International Conference on Compiler Construction*
- Sept. 2020 - Janvier 2021 **Chargé de TD**, *Université Grenoble-Alpes*
INF301: Algorithmique de base et programmation.

- Sept. 2019 - **Chargé de TD**, *Université Grenoble-Alpes*
 Janvier 2020 INF301: Algorithmique de base et programmation.
- Mai 2019 - **Stagiaire**, *INRIA Grenoble*
 Août 2019 Reprise d'un projet de simulation abstraite de CPU intégrée en surcouche de l'émulateur QEMU.
- Oct. 2018 - **Stagiaire**, *Colorado State University*
 Avril 2019 Développement d'une passe de compilation source-à-source consistant à exhiber et utiliser du partage de ressources lors de synthèse haut niveau appliquée aux FPGA.
- Automne 2018 - **Stagiaire**, *Colorado State University*
 Hiver 2019 Réalisation d'une passe de compilation visant à optimiser le partage de ressource sur des codes polyédriques ciblant une exécution sur FPGA par synthèse haut niveau (HLS), sous la direction de Louis-Noël Pouchet.
- Printemps 2018 **Stagiaire**, *Télécom SudParis*
 - Été 2018 Participation à l'implémentation d'un hyperviseur orienté performance dans le but d'appliquer les politiques de gestion NUMA de manière transparente pour l'OS, sous la direction de Gaël Thomas.
- Sept. 2017 - **Rédacteur**, *comptoir-hardware.com*
 Jan. 2023 Rédaction quotidienne d'articles sur l'actualité des composants informatiques. Couverture des présentations des gammes Z370 d'ASUS (Paris, 2017) et Z390 (Londres, 2018). Couverture des *Intel Architecture Day* (2018, 2020, 2021).
- Été 2017 **Stagiaire**, *Université de Murcie*
 Adaptation d'une technique de *Software Prefetching* aux mémoires transactionnelles utilisant les extensions Intel TSX via l'écriture d'un module LLVM, sous la direction d'Alexandra Jimborean.
- Été 2016 **Stagiaire**, *Université de Versailles Saint-Quentin-en-Yvelines*
 Adaptation de Micro-architecture Hétérogènes via l'utilisation de Gem5 et CERE, sous la direction de Pablo De Oliveira.
 ○ Contribution au simulateur gem5 (<http://www.gem5.org>)

Langages

Français	Langue Maternelle
Anglais	Courant
Allemand	Scolaire

CAE niveau C1

Compétences Informatiques

Langages de Programmation	C, C++, Vivado HLS, Python, Bash, PHP/HTML/SQL, Erlang
Langages Mathématiques	Latex, R, Caml
Autres Compétences	Linux, Git

Intérêts

Musique	Pratique du trombone et du violon en orchestre depuis plus de quinze ans.
Sport	Pratique du Judo/Jujitsu depuis plus de dix ans.
Jeux de rôle sur table	Maître du jeu : organisation de séances mensuelles.