

Stage de 4ème année

Compilation de circuits

Encadrant: Christophe Alias, Chargé de recherche HDR à l'INRIA
Christophe.Alias@ens-lyon.fr

Lieu: Laboratoire de l'Informatique du parallélisme
École Normale Supérieure de Lyon.

Gratification: \approx 500 euros/mois

Depuis le début des années 2000, la limite de miniaturisation des transistors force à multiplier les unités de calcul (processeurs, processeur spécialisés) des super-ordinateurs pour améliorer les performances, ce qui augmente la consommation énergétique et donc le coût du calcul dans des proportions qui ne sont plus tenables. De nouveaux paradigmes de calcul basse consommation doivent être inventés. Une solution est de cabler directement les algorithmes principaux du calcul sur des circuits reconfigurables FPGA (Field Programmable Gate Array). Pour exécuter une application sur des FPGA, de nombreux verrous doivent être levés, dont la traduction automatique d'un algorithme de calcul en un circuit efficace (HLS, High-level synthesis) $C \xrightarrow{HLS} FPGA$.

Dans ce stage, on se propose de construire un *schéma de compilation de circuits* pour régler les *transferts de données vers/depuis le FPGA*. Bien entendu, il n'est pas question de "générer" un circuit. Au lieu de ça, on transformera le code en amont d'un outil de HLS ($C \xrightarrow{stage} C \xrightarrow{HLS} FPGA$) en raffinant un schéma de compilation source-à-source ($C \rightarrow C$) existant. Plus précisément, le stagiaire devra:

- Etudier un schéma de compilation des transferts de données
- Prendre en main notre compilateur source-à-source
- Implémenter le schéma de compilation dans le compilateur source-à-source
- Valider son implémentation sur les benchmarks Polybench/C de la communauté polyédrique.