

Architecture des ordinateurs

Corrigé de l'examen

Mercredi 30 janvier, 8h30-10h30

Aucun document n'est autorisé.

1 Questions de cours

Vos réponses aux questions de cours pourront comporter des exemples.

1.1 Pipeline

Expliquez, en moins d'une page, ce qu'est un processeur pipeliné et l'intérêt de la technique du pipeline.

1.2 Cache

Expliquez, en moins d'une page, le principe des mémoires cache, les grandes lignes de leur fonctionnement et leur intérêt.

2 Arithmétique

Réalisez, dans un système en complément à deux sur huit bits, le calcul : $59 - 107$. Vous vérifierez le résultat obtenu.

- Dans un tel système on n'effectue pas une soustraction mais l'addition de 59 et de -107 .
- Le nombre positif 59 est représenté par son codage binaire pur sur huit bits : $59 = 00111011_2 = 32 + 16 + 8 + 2 + 1$.
- Le nombre -107 étant négatif, il est représenté par le codage en complément à deux de sa valeur absolue. $107 = 64 + 32 + 8 + 2 + 1 = 01101011_2$. D'où, $C_1(107) = 10010100$ et $C_2(107) = 10010101$.
- Addition des deux nombres :

$$\begin{array}{r} 00111011 \\ + 10010101 \\ \hline 11010000 \end{array}$$

- Le nombre 11010000 est le codage d'un nombre négatif puisque son bit de poids fort est 1 : c'est la représentation en complément à deux de la valeur absolue du nombre. Or $C_1(11010000_2) = 00101111$ et $C_2(11010000_2) = 00110000$ et $00110000_2 = 32 + 16 = 48$. Le résultat du calcul est donc : -48 .

3 Assembleur

Expliquez le code en assembleur SPARC présenté figure 1. Que fait ce morceau de code ?

Rappel : en assembleur SPARC, le dernier opérande est la destination ; `ba` est la contraction de *branch always* et `b1` celle de *branch on less*.

4 Circuits séquentiels : un incrémenteur/décrémenteur

Nous cherchons ici à réaliser un circuit séquentiel incrémentant ou décrémentant sa sortie suivant ses entrées.

La sortie, notée s , sera une valeur comprise entre 0 et 2 et codée sur deux bits, notés a et b avec $s = 2 \times a + b$. La valeur de s étant comprise entre 0 et 2, la configuration $a = b = 1$ est interdite.

En entrée de notre circuit nous aurons deux signaux binaires I et D , que nous supposons être actifs sur niveau haut : lorsque I vaut 1, le circuit doit incrémenter (augmenter de 1) sa sortie, et lorsque D vaut 1, le circuit doit décrémenter (diminuer de 1) sa sortie ; la configuration $I = D = 1$ est autorisée mais les deux signaux s'annulent alors.

1. Complétez la table de vérité de la figure 2. Vous noterez par * les configurations impossibles, s'il y en a.

```

fun:
    save %sp, -64, %sp
    cmp %i0, %i1
    bl label1
    nop
    mov %i0, %l0
    ba label2
    nop
label1:
    mov %i1, %l0
label2:
    mov %l0, %i0
    ret
    restore

```

FIG. 1 – Petit code en assembleur SPARC.

I	D	a_{t-1}	b_{t-1}	a_t	b_t
0	0	0	0	0	0
0	0	0	1	0	1
0	0	1	0	1	0
0	1	0	0	*	*
0	1	0	1	0	0
0	1	1	0	0	1
1	0	0	0	0	1
1	0	0	1	1	0
1	0	1	0	*	*
1	1	0	0	0	0
1	1	0	1	0	1
1	1	1	0	1	0

FIG. 2 – Table de vérité de l'incrémenteur/décrémenteur.

2. **Changements des valeurs de sortie.** Donnez l'expression booléenne des états pour lesquels

- (a) a est mis à zéro (autrement dit, donnez l'expression booléenne des états pour lesquels a_{t-1} vaut un et a_t zéro);
 $\bar{I} \cdot D \cdot a_{t-1} \cdot \overline{b_{t-1}}$.
- (b) a est mis à un;
 $I \cdot \bar{D} \cdot \overline{a_{t-1}} \cdot b_{t-1}$.
- (c) b est mis à zéro;
 $\bar{I} \cdot D \cdot \overline{a_{t-1}} \cdot b_{t-1} + I \cdot \bar{D} \cdot \overline{a_{t-1}} \cdot b_{t-1} = (I \oplus D) \cdot \overline{a_{t-1}} \cdot b_{t-1}$.
- (d) b est mis à un.
 $\bar{I} \cdot D \cdot a_{t-1} \cdot \overline{b_{t-1}} + I \cdot \bar{D} \cdot \overline{a_{t-1}} \cdot \overline{b_{t-1}} = (\bar{I} \cdot D \cdot a_{t-1} + I \cdot \bar{D} \cdot \overline{a_{t-1}}) \cdot \overline{b_{t-1}}$.

3. Rappelez le principe de fonctionnement d'une bascule RSC (vous pouvez vous contenter de rappeler la table de vérité d'une telle bascule).

4. Proposez un circuit séquentiel utilisant une ou des bascules RSC (et des portes logiques combinatoires) et réalisant le circuit incrémenteur/décrémenteur souhaité. On supposera que le temps de passage des portes logiques et des bascules est négligeable devant la période d'horloge des bascules RSC. *Note* : vous pouvez utiliser des couleurs pour améliorer la lisibilité de votre schéma.

La figure 3 présente le circuit obtenu directement à partir des expressions précédentes.

La figure 4 présente une autre solution :

- $R^a = \bar{I} \cdot D$
 a est mis à zéro lors d'une décrémentation.
- $S^a = I \cdot \bar{D} \cdot b_{t-1}$
 a est mis à un lors d'une incrémentation ssi b_{t-1} vaut un.
- $R^b = (I \oplus D) \cdot b_{t-1}$
 b est mis à zéro lors d'une incrémentation ou d'une décrémentation ssi b_{t-1} vaut 1.
- $S^b = (I \oplus D) \cdot \overline{b_{t-1}}$
 b est mis à un lors d'une incrémentation ou d'un décrémentation ssi b_{t-1} vaut zéro.

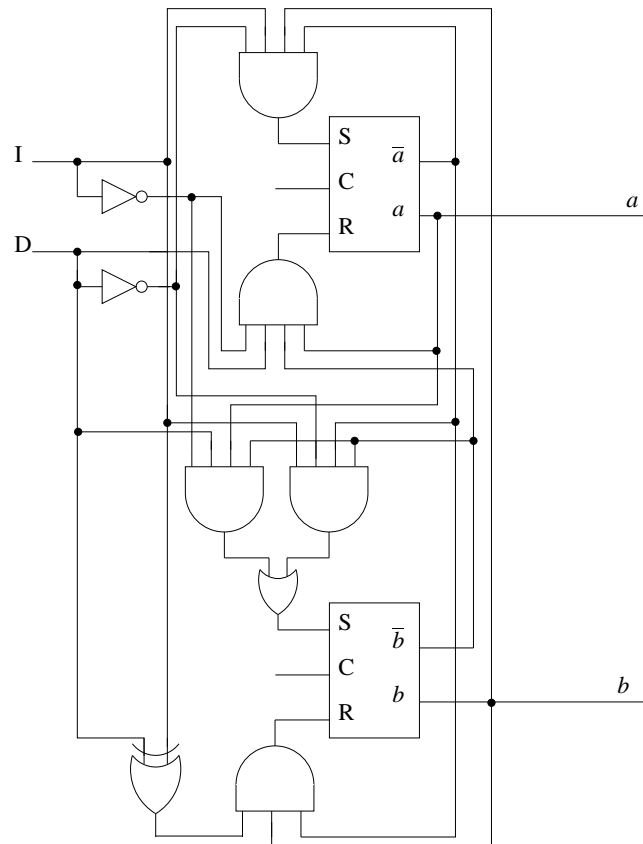


FIG. 3 – Le fameux incrémenteur/décrémenteur.

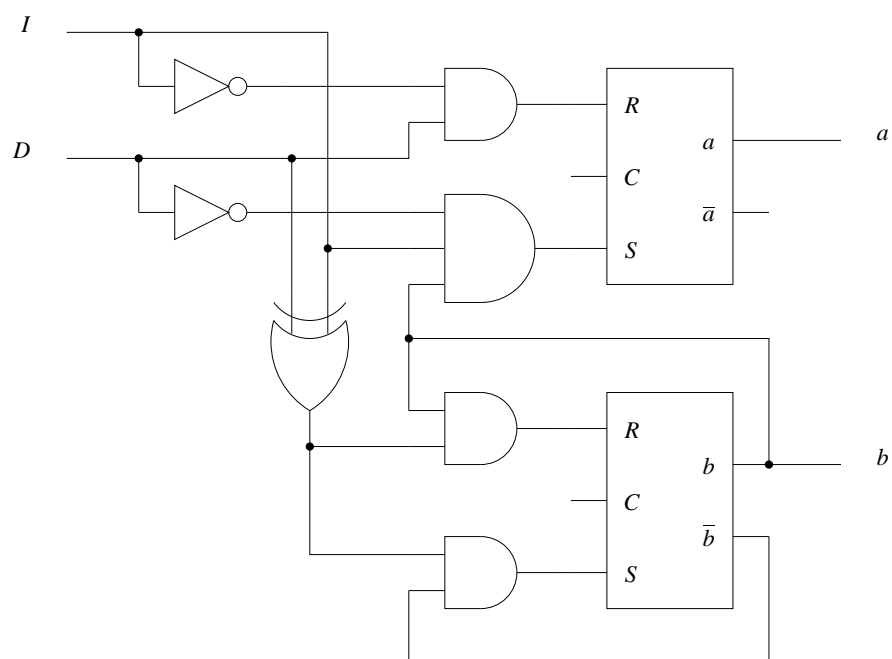


FIG. 4 – Le fameux incrémenteur/décrémenteur (autre solution).