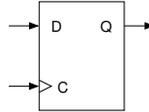


## CC-CM-F - LIF6 Architecture matérielle et logicielle

Aucun document autorisé, durée 45 min, barème donné à titre indicatif. En réponse à la question Q.I.8, n'oubliez pas de rendre le sujet complété, en **indiquant bien votre numéro d'intercalaire**.

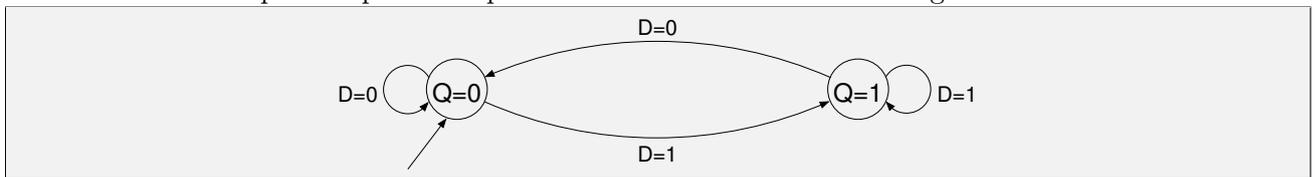
### I Questions de cours (16 points)

**Q.I.1)** - (2 pts) On considère une bascule D flip-flop régie par le front montant de l'horloge :

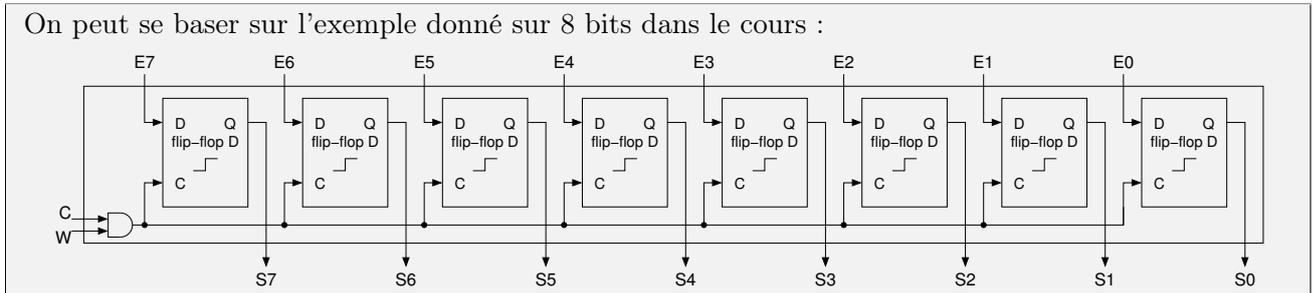


Donnez le graphique d'un automate fini synchrone décrivant le comportement d'une telle bascule. On prendra

- états :  $S = \{Q=0, Q=1\}$  ;
- entrées :  $I = \{D=0, D=1\}$  ;
- une transition ne peut se produire que sur un front montant de l'horloge C.



**Q.I.2)** - (1 pts) Proposez le logigramme d'un registre pour mémoriser un mot de 2 bits sur un nombre arbitraire de cycles d'une horloge périodique en créneaux, et susceptible de mémoriser une nouvelle valeur lorsqu'un signal d'écriture W est activé sur un front montant de l'horloge.



**Q.I.3)** - (2 pts) Proposez une définition de ce qu'est le chemin de données d'une unité centrale de traitement.

Il s'agit de l'ensemble des circuits dédiés au traitement des données, et donc aussi au traitement des instructions. On peut le voir comme le chemin que suivent les données et les instructions au cours de leur traitement par le processeur, Il comporte notamment l'UAL (voir d'autres unités de traitement arithmétiques, comme une unité d'arithmétique flottante par exemple), l'ensemble des registres de l'UCT (PC, IR, MDR...), et l'ensemble des fils reliant ces circuits entre-eux. On distingue le chemin de données de l'unité de contrôle, qui se charge d'activer convenablement les différents composants du chemin de données.

**Q.I.4)** - (2 pts) Dans le cours nous avons choisi une méthodologie de synchronisation basée sur le front montant de l'horloge : qu'est-ce que cela signifie, et quelles sont les conséquences sur la conception d'un circuit séquentiel ?

Cela signifie que les valeurs contenues les registres du circuit seront mis à jour seulement sur un front montant de l'horloge. En particulier, nous n'utiliserons que des registres synchronisés sur le front montant de l'horloge. Les conséquences de ce choix sont les suivantes :

- Comme seuls les registres sont capables de stocker une donnée, et de maintenir la valeur correspondante sur leur sortie, tout « sous-circuit » combinatoire doit :
  - avoir ses entrées connectées aux sorties d'un registre,
  - avoir ses sorties connectées aux entrées d'un registre.

Les entrées du « sous-circuit » ont été écrites dans un registre au cycle précédent, alors que ses sorties seront utilisables au cycle suivant.

- Le fait d'adopter une méthodologie de synchronisation basée sur le front montant de l'horloge, *i.e.* définissant une suite « d'instantants », permet aussi de former des cycles (comme on l'a vu dans le cas des automates de Moore). En effet, la sortie d'un registre peut être lue est envoyée au travers d'un circuit combinatoire vers l'entrée du même registre : la sortie est maintenue jusqu'à la fin du cycle d'horloge, et l'entrée ne sera écrite que sur le front montant.

**Q.I.5) - (3 pts)** Quels sont les différents éléments constituant la définition d'une architecture ? Donnez une brève description de chacun de ces éléments.

- modèle d'accès à la mémoire : la manière dont la mémoire doit être accédée (les contraintes d'alignement, la manière dont doit être organisée l'image en mémoire centrale d'un programme en cours d'exécution, ...);
- les registres architecturaux : tout processeur dispose de tels registres, présents dans la description de son architecture, et directement accessibles au programmeur.
- les types de données utilisables : la couche architecture doit aussi définir quels sont les types de données qui peuvent être manipulées. Ces types indiquent de quelle manière les données devront être traitées par les instructions de calcul, ou celles de branchement (entiers non signés 8, 16, 32 ou 64 bits, entiers signés, codés en complément à 2 sur 8, 16, 32 ou 64 bits, ...).
- le jeu d'instruction : une architecture doit décrire comment l'ordinateur est commandé par le biais des instructions machines : l'ensemble des instructions mises à la disposition du programmeur doit donc être détaillé. Cette description pourra se faire à l'aide des mnémoniques choisis pour chaque instruction dans un langage d'assemblage, mais il faut aussi décrire de quelle manière sont codées les instructions.

**Q.I.6) - (2 pts)** Après avoir rappelé brièvement comment sont codées les instructions, définissez ce qu'est le *mode d'adressage* des opérandes d'une instructions. Donnez trois exemples de modes d'adressages, en illustrant chacun par une instruction en langage d'assemblage.

Chaque instruction est codée par un mot binaire, qui se décompose en :

- un champ *opcode*, qui spécifie l'opération à réaliser ;
- éventuellement, un ou plusieurs champs *opérandes* qui définissent les emplacements où l'instruction doit lire ses sources et écrire son résultat.

La méthode de localisation des opérandes, dans la mémoire ou parmi les registres, est appelé *adressage* : on assimile à une adresse le champ de bit correspondant un chaque opérande. Le *mode d'adressage* est la manière d'interpréter les bits d'un champ d'adresse en vue de la localisation de l'opérande. Une instruction qui présente *k* champs d'adresse est dite *instruction à k adresses*.

- `MOV R1,4` : on parle d'*adressage par registre* pour l'opérande 1, car l'emplacement désigné est simplement un registre ; on parle d'*adressage immédiat* pour l'opérande 2, car il est directement placé dans le champ d'adresse de l'instruction.
- `ADD R2,@96` : on parle d'*adressage direct* pour l'opérande 2, car le champ d'adresse désigne directement un mot en mémoire par son adresse.

**Q.I.7) - (1 pts)** Comment se caractérise un jeu d'instruction RISC (*Reduced Instruction Set Computer*) ?

Un jeu d'instructions RISC se caractérise par :

- un jeu d'instruction réduit, on privilégie les instructions les plus utilisées ;
- les instructions ont toutes la même longueur et sont facilement décodables ;
- les accès mémoire se font uniquement avec deux instructions, `Load/Store` ;
- le nombre de modes d'adressage est très petit ;
- un nombre élevé de registres généraux, pour diminuer la fréquence des échanges avec la mémoire.

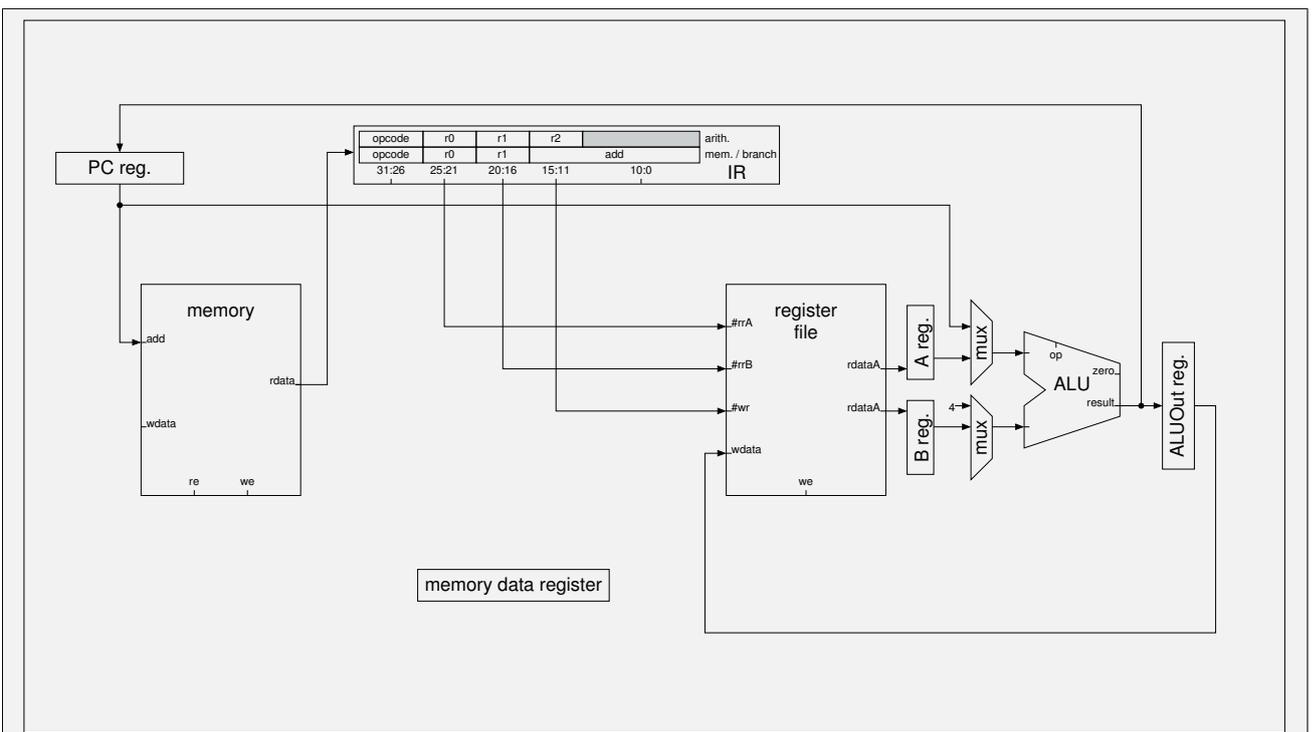
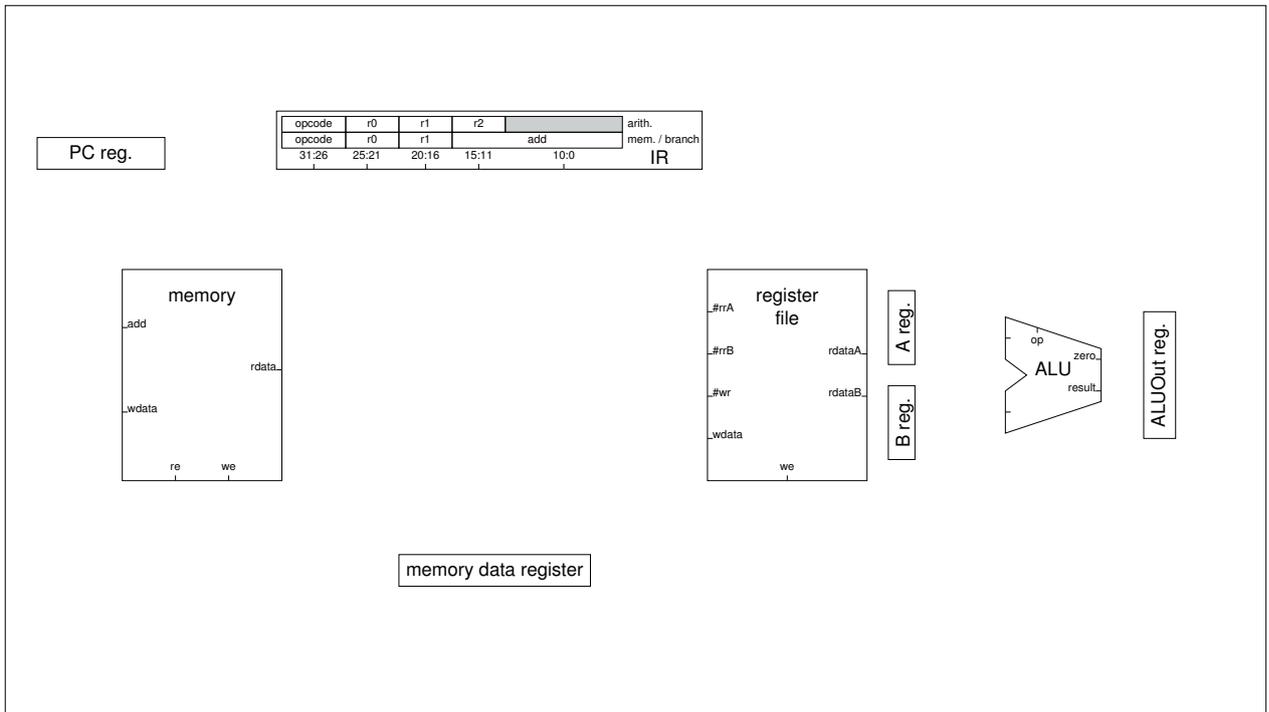
**Q.I.8) - (3 pts)** Dans le cours *ébauche d'un processeur*, nous nous sommes donnés les composants indiqués sur le schéma ci-dessous pour la conception du chemin de données. Il vous est demandé de compléter ce schéma en indiquant les multiplexeurs et les câblages nécessaires pour une instruction arithmétique :

$$\text{Reg}[\text{IR.r2}] \leftarrow \text{Reg}[\text{IR.r0}] \text{ OP } \text{Reg}[\text{IR.r1}]$$

Lors du cycle d'une instruction arithmétique, les actions à effectuer sont :

- IR  $\leftarrow$  Mem[PC] (chargement de l'instruction dans IR)
- PC  $\leftarrow$  PC+4 (mise à jour du PC)
- A  $\leftarrow$  Reg[IR.r0] (chargement du registre A)
- B  $\leftarrow$  Reg[IR.r1] (chargement du registre B)
- ALUOut  $\leftarrow$  A OP B (résultat de l'opération placé dans ALUOut)
- Reg[IR.r2]  $\leftarrow$  ALUOut (stockage du résultat dans le banc de registres)

Ne complétez que le chemin de données, n'indiquez pas les signaux de contrôle.



## II Questions à réponses brèves (4 pts)

**Q.II.1)** - Un banc de 32 registres 16 bits comporte 3 ports de lecture et un port d'écriture : combien de fils d'entrées dédiés à l'identification des numéros de registre comporte-t'il ?

$32 = 2^5$ , donc 5 fils par port, soit  $4 \times 5 = 20$  fils dédiés à l'identification des numéros de registre.

**Q.II.2)** - Que signifient les acronymes SRAM et DRAM ?

Respectivement : *Static RAM* et *Dynamic RAM*, RAM signifiant *Random Access Memory*.

**Q.II.3)** - Entre une mémoire SRAM et une DRAM, quelle est celle dont le temps d'accès est le plus faible ?

La SRAM.

**Q.II.4)** - Une unité arithmétique et logique (UAL) prend deux mots de 16 bits en entrée, et fournit un résultat sur 16 bits. Elle est capable d'effectuer 7 opérations (ADD, SUB, MUL, DIV, NOT, AND, OR) distinctes. Combien de fils de contrôle cette UAL doit-elle prendre en entrée ?

$2^2 = 4 < 7 \leq 8 = 2^3$ , donc 3 fils sont nécessaires pour choisir un opération parmi 7.

**Q.II.5)** - Quelle est la taille minimale (en nombre de bits) du registre que comporte un automate de Moore disposant de 34 états ?

Il faut un registre de 6 bits, ce qui donne  $2^6 = 64$  états possible ; 5 bits ne donnerait que  $2^5 = 32$  états possibles

**Q.II.6)** - Quelles sont les trois principales classes d'instructions d'un jeu d'instruction RISC, comme le MIPS ?

- opérations arithmétiques et logiques,
- accès mémoire (Load ou Store) ou branchement conditionnel,
- les instructions de saut.

**Q.II.7)** - Entre une architecture CISC et une RISC, laquelle présente le plus de registres architecturaux ?

En général, les architectures CISC comportent plus de registres spécialisés, et les architectures RISC plus de registres généraux. Sur les registres architecturaux, on ne peut rien dire *a priori*...

**Q.II.8)** - Donnez en assembleur un exemple d'instruction d'addition à une adresse, en expliquant son principe.

On suppose qu'il existe un registre accumulateur ACC. L'instruction ADD R1 effectue par exemple  $ACC \leftarrow ACC + R1$ .